

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-165244

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

H03M 1/76

H01L 27/04

H01L 21/822

(21)Application number : 10-337451

(71)Applicant : SHARP CORP

(22)Date of filing : 27.11.1998

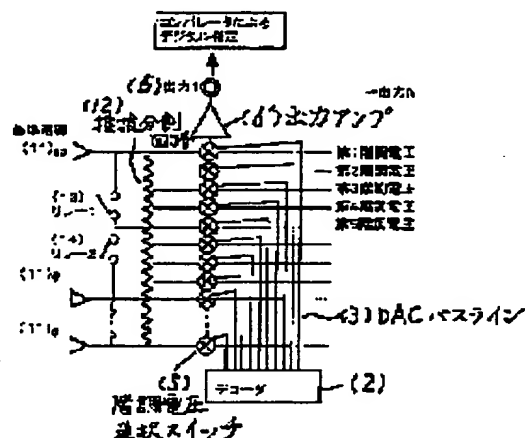
(72)Inventor : SAKAGUCHI HIDEAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor integrated circuit device that incorporates an inspection facilitating circuit that attains measurement with high precision by using an inexpensive inspection device without increasing an inspection time.

SOLUTION: The semiconductor integrated circuit device incorporates a D/A converter including a plurality of reference power supply terminals 110,... a resistance division circuit 12 that applies resistance division to a voltage among the reference power supply terminals 110,... to generate an intermediate voltage, and a gradation voltage selector switch 5 that selects any of the reference power supply voltages and intermediate voltages in response to an input digital signal and outputs an output voltage of the D/A converter from its output terminal 6. Relays 13, 14 are provided to locally short-circuit part of the resistance division circuit 12. Through the configuration above, the voltage between the output voltage being an inspection object can be extended, and digital discrimination by a comparator is attained in place of the measurement by a conventional analog voltage measurement device with high precision, the inspection time can considerably be reduced and high precision inspection is attained by using the inexpensive digital inspection device.



LEGAL STATUS

[Date of request for examination] 19.07.2001

[Date of sending the examiner's decision of rejection] 03.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-165244
(P2000-165244A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl.
H03M 1/76
H01L 27/04
21/822

識別記号

F I
H03M 1/76
H01L 27/04

マークシート (参考)

5 F 0 3 8
F 5 J 0 2 2

審査請求 未請求 請求項の数 1 O L (全 4 頁)

(21) 出願番号 特願平10-337451

(22) 出願日 平成10年11月27日 (1998.11.27)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 坂口 英明

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100103296

弁理士 小池 隆彌

Fターム (参考) 5F038 DF03 DF16

5J022 AB05 AC05 BA00 CB02 CD02

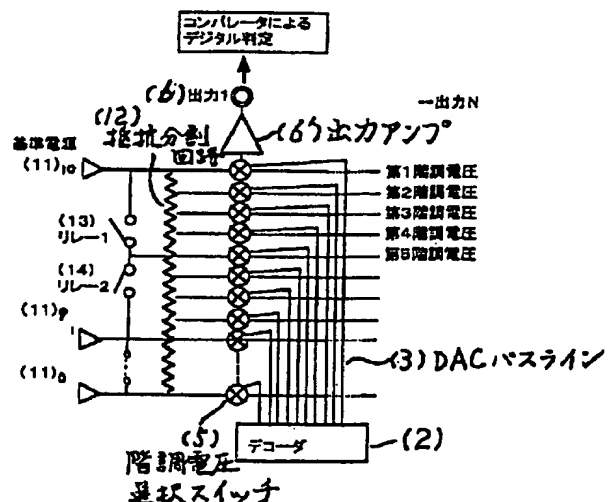
CF01 CF07 CG01

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 検査時間の増大を招くことなく、且つ安価な検査装置で高精度な測定を可能とする、検査容易化回路を内蔵した半導体集積回路装置の提供。

【解決手段】 複数の基準電源端子110、…と、該基準電源端子間の電圧を抵抗分割して、中間電圧を発生させる抵抗分割回路12と、入力デジタル信号に応じて、上記基準電源電圧及び中間電圧の内から一つの電圧を選択して出力させるための階調電圧選択スイッチ5を含むD/A変換器を内蔵し、該D/A変換器の出力電圧を、その出力端子6より出力させる構成とした半導体集積回路装置に於いて、上記抵抗分割回路12の一部を部分的に短絡するためのリレー13、14を設ける。かかる構成より、検査対象となる各出力電圧間の電位差の拡大が可能となり、従来の高精度なアナログ電圧測定器による測定に代えて、コンパレータによるデジタル判定が可能となり、大幅な検査時間の短縮化、及び安価なデジタル検査装置の使用による高精度な検査が可能となる。



【特許請求の範囲】

【請求項1】 少なくとも2個の基準電源電圧入力端子と、該基準電源電圧入力端子間の電圧を抵抗分割して、中間電圧を発生させる抵抗分割回路と、入力デジタル信号に応じて、上記基準電源電圧及び中間電圧の内から一つの電圧を選択して出力させるためのスイッチ回路とを含むD/A変換器を内蔵し、該D/A変換器の出力電圧を、その出力端子より出力させる構成とした半導体集積回路装置に於いて、
上記抵抗分割回路の一部を部分的に短絡するためのスイッチ手段を設けたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、少なくとも2個の基準電源電圧入力端子と、該基準電源電圧入力端子間の電圧を抵抗分割して、中間電圧を発生させる抵抗分割回路と、入力デジタル信号に応じて、上記基準電源電圧及び中間電圧の内から一つの電圧を選択して出力させるためのスイッチ回路とを含むD/A変換器(DAC)を内蔵し、該D/A変換器の出力電圧を、その出力端子より出力させる構成とした半導体集積回路装置(例えば、多階調液晶ドライバIC等)に関するものであり、特に、その検査手法に関するものである。

【0002】

【従来の技術】 DACを内蔵する多階調液晶ドライバICは、全液晶駆動出力端子毎にDACを有しており、入力された多階調データである複数ビットのデジタル信号に応じて、それぞれの液晶駆動出力端子からアナログ電圧を出力する。このため、DACを内蔵する多階調液晶ドライバICの検査は、すべてのDACから出力されるアナログ電圧を測定し判定する。

【0003】 図2に従来の技術の構成を示す。

【0004】 入力された階調データは内部回路1に蓄えられた後、デコーダ2を介してDACのバスライン3に与えられる。各階調データに応じて、基準電源4からの出力電圧を決定する階調電圧選択スイッチ5の一つを選択し、出力アンプ6'を介して各出力端子(1~N)6より、それぞれの階調電圧を出力する。従来の検査手法では、この出力されたアナログ階調電圧を、高精度な電圧測定器をもつ検査装置で電圧測定し、判定している。

【0005】 より詳細には、図3に示すように、基準電源端子11より入力される基準電源電圧のみではなく、抵抗分割回路12により発生される中間電圧も選択・出力させるために、各基準電源電圧及び各中間電圧毎に、階調電圧選択スイッチ5が設けられており、デコーダ2よりのデコード信号に応じて、何れかのスイッチ5が選択され、対応する階調電圧が選択・出力される。従来の検査手法では、この出力されたアナログ階調電圧を、高精度なアナログ電圧測定器をもつ検査装置で電圧測定

し、判定している。

【0006】 しかしながら、アナログ電圧測定による検査方法は、一つの電圧測定器を用いて、全液晶駆動出力端子から出力される電圧を測定し判定するため、従来のデジタルテストのような、出力端子数分用意されたコンパレータを使用して、全出力を同時にデジタル判定する検査方法に比べて、検査時間は大幅に増加する。したがって、検査時間との兼ね合いにより、検査項目も制限されている。また、液晶駆動出力端子から出力される各階調電圧の電位差は非常に小さいため、それを測定し判定するための測定器は、高精度な測定器が要求され、非常に高価なものとなる。

【0007】 なお、DACのテスト時間短縮を目的とした従来の技術として、特開平9-312569号公報に開示されるものがある。この技術は、予め良品と分かっているチップ(半導体集積回路装置)を比較基準(レファレンスDACコンバータ)として、これと被測定デバイス(DUT)とを比較し、所定の範囲内(仕様範囲内)に入っているか否かによって、良否判定を行うものである。この技術によれば、DACのテスト時間短縮は実現されるが、レファレンスチップとの相対比較により、良否判定を行っているため、レファレンスチップの特性バラツキ等によりDAC出力値にズレが生じた場合、そのズレが、そのままテスト範囲のズレとなってしまう、正確な仕様範囲の判定ができなくなり、実際には仕様範囲外のもを良品と判定したり、逆に、仕様範囲内のものを不良品と判定したりするといった判定精度上の問題点がある。

【0008】

【発明が解決しようとする課題】 以上のように、従来の検査手法では、アナログ電圧を測定し判定するため、検査時間が大幅に増大するという問題点があった。また、各階調電圧を高精度に測定するため、非常に高価な検査装置が必要となるという問題点があった。

【0009】 更に、検査時間短縮を目的として考案された特開平9-312569号公報の技術も、判定精度上の問題点を有していた。

【0010】 本発明は、上記従来の事情に鑑みなされたものであり、検査時間の増大を招くことなく、且つ安価な検査装置で高精度な測定を可能とする、検査容易化回路を内蔵した半導体集積回路装置の提供を目的とするものである。

【0011】

【課題を解決するための手段】 本発明の半導体集積回路装置は、少なくとも2個の基準電源電圧入力端子と、該基準電源電圧入力端子間の電圧を抵抗分割して、中間電圧を発生させる抵抗分割回路と、入力デジタル信号に応じて、上記基準電源電圧及び中間電圧の内から一つの電圧を選択して出力させるためのスイッチ回路とを含むD/A変換器を内蔵し、該D/A変換器の出力電圧を、

その出力端子より出力させる構成とした半導体集積回路装置に於いて、上記抵抗分割回路の一部を部分的に短絡するためのスイッチ手段を設けたことを特徴とするものである。

【0012】すなわち、本発明の半導体集積回路装置は、検査容易化回路として、抵抗分割回路の一部を部分的に短絡させるためのスイッチ手段を内蔵させたことを特徴とするものであり、かかる構成によれば、上記スイッチ手段をオンさせることにより、抵抗分割回路の他の部分により生成される各階調電圧間の電位差を拡大することができ、また、検査対象として設定されている抵抗分割回路の両端に設けられている基準電源電圧入力端子に与える電圧として、通常使用時の基準電圧に代えて、より大きな電位差が得られる電圧、例えば、電源電圧（当該半導体集積回路装置に印加される電源電圧、例えば5V）と接地電圧（GND）とを設定することにより、更に、各階調電圧間の電位差を拡大することができる。これにより、検査対象となる各出力電圧間の電位差の拡大が可能となり、従来の高精度なアナログ電圧測定器による測定に代えて、コンパレータによるデジタル判定が可能となり、大幅な検査時間の短縮化、安価なデジタル検査装置の使用による高精度な検査が可能となるものである。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0014】図1は、本発明の一実施形態である、検査容易化回路内蔵多階調液晶ドライバICの要部構成図である。

【0015】入力された階調データは内部回路（図示せず）に蓄えられた後、デコーダ2を介してDACのバスライン3に与えられる。各階調データに応じて、基準電源端子11及び抵抗分割回路12からの出力電圧を決定する階調電圧選択スイッチ5の一つを選択し、出力アンプ6'を介して各出力端子（1～N）6より、それぞれの階調電圧を出力する。

【0016】本実施形態に於いては、11個の基準電源端子110、…、1110が設けられており（ガンマ補正等、階調領域毎に微調整を行うため）、通常使用時に於いては、各基準電源端子110、…、1110には、それぞれ、0V（GND）、0.5V、1V、…、4.5V、5Vが印加される。また、各基準電源端子間には、それぞれ、抵抗分割回路12が設けられており、各抵抗分割回路12は、それぞれ、7個の中間電圧を発生させる構成となっている。各中間電圧間の電位差は、全て等しく設定されている。したがって、各中間階調電圧間の電位差は、 $0.5V/8=0.0625V$ と、非常に微小な値になる。

【0017】従来技術では、かかる微小な電位差の判定が必要であったため、非常に高精度な電圧測定器を有す

る高価な検査装置を必要としていた。

【0018】本発明は、この問題点を解消させるものであり、図1の実施形態に於いては、各基準電源端子間に2個のリレー13、14の直列接続回路を接続し、該2個のリレー13、14の接続点を抵抗分割回路12の midpoint に接続する構成としている。なお、図1に於いては、基準電源端子1110と基準電源端子119との間に設けられるリレー接続回路のみを示しているが、他の基準電源端子間に於いても、同様のリレー接続回路が接続されているものである。

【0019】まず、基準電源端子1110と119との間の抵抗分割回路について検査を行う場合、基準電源端子1110に電源電圧（5V）を与え、基準電源端子119には接地電圧（0V）を与える。次に、上側部分の検査を行う場合には、第1リレー13をオフとし、第2リレー14をオンさせる。これにより、基準電源端子1110と119との間の抵抗分割回路の上側部分の両端に5Vが印加される。この状態で、デコーダ2に対して、所定の階調データを与えて、アナログ電圧を出力させる。このときの各出力電圧間の電位差は、 $5V/4=1.25V$ と、非常に大きな値になる。すなわち、第1階調電圧は5V、第2階調電圧は3.75V、第3階調電圧は2.50V、第4階調電圧は1.25V、第5階調電圧は0Vとなる。これにより、例えば、0.5V以下の精度を有するコンパレータであれば、各階調の電圧を認識することができ、コンパレータを使用したデジタル判定が可能となるものである。

【0020】以下、同様にして、下側部分の検査を行う場合には、第1リレー13をオンさせ、第2リレー14をオフとする。更に、次の基準電源端子間の抵抗分割回路の検査を行う場合は、基準電源端子119に電源電圧（5V）を与え、基準電源端子119には接地電圧（0V）を与え、同様にして、検査を実行する。

【0021】なお、図1に示される階調電圧選択スイッチ5の構成例を図4に示す。

【0022】また、上記実施形態に於いては、リレーを用いて構成しているが、他のスイッチ手段を用いてもよいものである。また、スイッチ手段の接続個数も2個に限定されるものではなく、適宜設定できることは言うまでもない。

【0023】更に、上記実施形態は、本発明を多階調液晶ドライバICに於いて実施したものであるが、本発明は、これに限定されるものではなく、D/A変換器内蔵の他の半導体集積回路装置に於いても、同様に、有効に実施できるものであることは言うまでもない。

【0024】

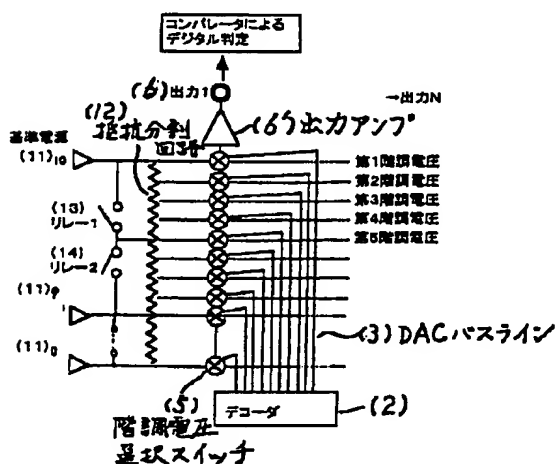
【発明の効果】以上、詳細に説明したように、本発明の半導体集積回路装置は、少なくとも2個の基準電源電圧入力端子と、該基準電源電圧入力端子間の電圧を抵抗分割して、中間電圧を発生させる抵抗分割回路と、入力デ

デジタル信号に応じて、上記基準電源電圧及び中間電圧の内から一つの電圧を選択して出力させるためのスイッチ回路とを含むD/A変換器を内蔵し、該D/A変換器の出力電圧を、その出力端子より出力させる構成とした半導体集積回路装置に於いて、上記抵抗分割回路の一部を部分的に短絡するためのスイッチ手段を設けたことを特徴とするものであり、かかる本発明の半導体集積回路装置によれば、検査対象となる各出力電圧間の電位差の拡大が可能となり、従来の高精度なアナログ電圧測定器による測定に代えて、コンパレータによるデジタル判定が可能となり、大幅な検査時間の短縮化、及び安価なデジタル検査装置の使用による高精度な検査が可能となるものである。

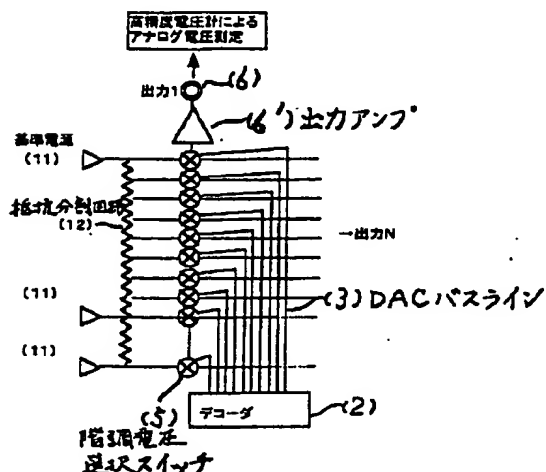
【図面の簡単な説明】

【図1】本発明の一実施形態である多階調液晶ドライバICの要部構成図である。

【図1】



【図3】



【図2】従来技術の構成図である。

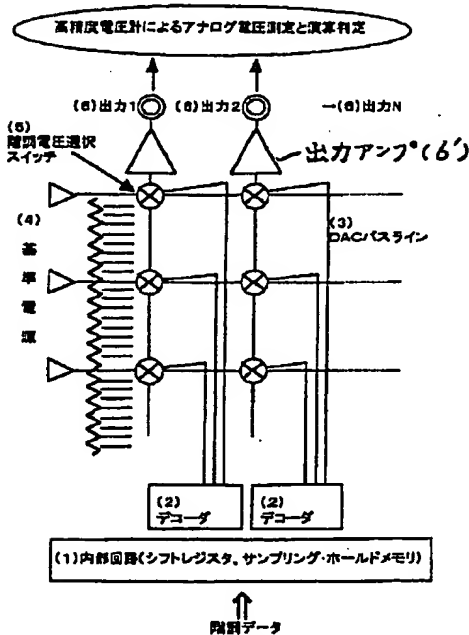
【図3】従来技術の詳細構成図である。

【図4】図1に示される階調電圧選択スイッチの構成例を示す図である。

【符号の説明】

- | | |
|----|------------|
| 1 | 内部回路 |
| 2 | デコーダ |
| 3 | DACバスライン |
| 4 | 基準電源 |
| 5 | 階調電圧選択スイッチ |
| 6 | 出力端子 |
| 6' | 出力アンプ |
| 11 | 基準電源端子 |
| 12 | 抵抗分割回路 |
| 13 | 第1リレー |
| 14 | 第2リレー |

【図2】



【図4】

